

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3213291号  
(P3213291)

(45) 発行日 平成13年10月2日 (2001. 10. 2)

(24) 登録日 平成13年7月19日 (2001. 7. 19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

H 0 5 K 3/46

H 0 5 K 3/46

S

H 0 1 L 23/12

H 0 1 L 23/12

N

請求項の数9 (全 6 頁)

(21) 出願番号 特願平11-183375

(22) 出願日 平成11年6月29日 (1999. 6. 29)

(65) 公開番号 特開2001-15929 (P2001-15929A)

(43) 公開日 平成13年1月19日 (2001. 1. 19)

審査請求日 平成12年5月2日 (2000. 5. 2)

(73) 特許権者 000108410

ソニーケミカル株式会社

東京都中央区日本橋室町1丁目6番3号

(72) 発明者 栗田 英之

栃木県鹿沼市さつき町12-3 ソニーケ

ミカル株式会社 第2工場内

(72) 発明者 中村 雅之

栃木県鹿沼市さつき町12-3 ソニーケ

ミカル株式会社 第2工場内

(74) 代理人 100102875

弁理士 石島 茂男 (外1名)

審査官 林 茂樹

(56) 参考文献 特開 平9-199635 (J P, A)

特開 平5-214301 (J P, A)

特開 昭63-307797 (J P, A)

最終頁に続く

(54) 【発明の名称】 多層基板及び半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 樹脂層と導電層とが交互に複数層積層されて構成された多層基板であって、

前記各樹脂層には膜拡がり方向の熱膨張係数が10ppm/°C未満のポリイミド膜が用いられ、  
積層された状態での基板拡がり方向の熱膨張係数が3ppm/°C以上10ppm/°C未満にされた多層基板。

【請求項2】 前記各導電層には膜拡がり方向の熱膨張係数が10ppm/°C以上の金属膜が用いられた請求項1記載の多層基板。

【請求項3】 樹脂層と導電層とが交互に複数層積層されて構成された多層基板であって、  
前記各樹脂層には、少なくとも、膜拡がり方向の熱膨張係数が2ppm/°C以上5ppm/°C以下の範囲の第1種のポリイミド膜と、

2

膜拡がり方向の熱膨張係数が5ppm/°Cを超え30ppm/°C以下の範囲の第2種のポリイミド膜とが用いられ、

前記各導電層には拡がり方向の熱膨張係数が10ppm/°C以上の金属膜が用いられた多層基板。

【請求項4】 前記樹脂層を3層以上有する請求項3記載の多層基板であって、

前記第1種のポリイミド膜は前記多層基板の厚み方向中央部分に配置され、

10 前記第2種のポリイミド膜は、前記第1種のポリイミド膜の表面層部分に配置された請求項3記載の多層基板。

【請求項5】 前記樹脂層を3層以上有する請求項3記載の多層基板であって、

前記第1種のポリイミド膜は少なくとも2層以上配置され、

BEST AVAILABLE COPY

前記第2種のポリイミド膜は、前記第1種のポリイミド膜の中間に配置された請求項3記載の多層基板。

【請求項6】少なくとも片面には、導電性の突起が表面に露出する状態で複数個設けられた請求項1乃至請求項5のいずれか1項記載の多層基板。

【請求項7】少なくとも片面には、前記金属層が表面に露出された請求項1乃至請求項6のいずれか1項記載の多層基板。

【請求項8】請求項1乃至請求項7のいずれか1項記載の多層基板と、半導体素子とを有し、前記導電層の少なくとも1層に前記半導体素子が電気的に接続されている半導体装置。

【請求項9】請求項8記載の半導体装置であって、前記多層基板の前記半導体素子が配置された面とは反対側の面には、導電性の突起が表面に露出する状態で複数個配置された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層基板に関し、特に、高密度配線の半導体素子に適した多層基板に関する。

【0002】

【従来の技術】近年では、半導体素子のパターンが微細化し、半導体に設けられた外部との接続端子は高密度化する一方である。

【0003】図8の符号110は、半導体素子を示しており、素子本体111には、トランジスタ等の微細素子が形成されいる。該素子本体111内には、微細素子によって電子回路が形成されており、素子本体111表面に、電子回路を外部に接続するための半田の突起112が設けられている。

【0004】符号130は、銅配線を有し表面にボンディングランドが設けられたマザーボードを示している。マザーボード130の銅配線ピッチに比べ、半導体素子110の突起112が狭ピッチなため、マザーボード130上に直接搭載することはできない。

【0005】そこで従来技術では、半導体素子110とマザーボード130とを電気的に接続するために、微細な配線パターンが形成された樹脂フィルム121と、該樹脂フィルム121に設けられた疎ピッチの突起122とでインターポーザー120を構成し、狭ピッチな半導体素子110の突起112を、インターポーザー120の微細な配線パターンに接続し、インターポーザー120内部でピッチの変換を行い、インターポーザー120の突起122をマザーボード130上のボンディングパッドに接続している。

【0006】近年では、半導体素子110の突起112の数が増えたため、上記のようなインターポーザー120は多層構造となっており、複数の導電層と樹脂層とが積層されている。

【0007】しかしながら多層構造のインターポーザー120上に半導体素子110を搭載した場合、半導体素子110の突起112が破壊するという問題が生じた。

【0008】

【発明が解決しようとする課題】本発明の発明者等が、半導体素子110とインターポーザー120の特性を調査したところ、半導体素子110の熱膨張係数(線膨張係数)が $2.6 \text{ ppm}/^{\circ}\text{C}$ であるのに対し、従来技術の多層構造のインターポーザー120は、熱膨張係数が $30 \text{ ppm}/^{\circ}\text{C}$ であった。

【0009】半導体素子110を上記のような高熱膨張係数のインターポーザーを介してマザーボード130に搭載した場合、半導体素子110とインターポーザーの熱膨張係数の値が異なるため、接続部分において大きな応力が生じ、半導体素子110の突起112が熱疲労し、最終的に破壊していることが分かった。

【0010】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、接続部における破壊が生じないインターポーザーや基板を構成できる多層基板を提供することにある。

【0011】上記課題を解決するために、請求項1記載の発明は、樹脂層と導電層とが交互に複数層積層されて構成された多層基板であって、前記各樹脂層には膜拡がり方向の熱膨張係数が $10 \text{ ppm}/^{\circ}\text{C}$ 未満のポリイミド膜が用いられ、積層された状態での基板拡がり方向の熱膨張係数が $3 \text{ ppm}/^{\circ}\text{C}$ 以上 $10 \text{ ppm}/^{\circ}\text{C}$ 未満にされた多層基板である。請求項2記載の発明は、前記各導電層には膜拡がり方向の熱膨張係数が $10 \text{ ppm}/^{\circ}\text{C}$ 以上の金属膜が用いられた請求項1記載の多層基板である。請求項3記載の発明は、樹脂層と導電層とが交互に複数層積層されて構成された多層基板であって、前記各樹脂層には、少なくとも、膜拡がり方向の熱膨張係数が $2 \text{ ppm}/^{\circ}\text{C}$ 以上 $5 \text{ ppm}/^{\circ}\text{C}$ 以下の範囲の第1種のポリイミド膜と、膜拡がり方向の熱膨張係数が $5 \text{ ppm}/^{\circ}\text{C}$ を超え $30 \text{ ppm}/^{\circ}\text{C}$ 以下の範囲の第2種のポリイミド膜とが用いられ、前記各導電層には拡がり方向の熱膨張係数が $10 \text{ ppm}/^{\circ}\text{C}$ 以上の金属膜が用いられた多層基板である。請求項4記載の発明は、前記樹脂層を3層以上有する請求項3記載の多層基板であって、前記第1種のポリイミド膜は前記多層基板の厚み方向中央部分に配置され、前記第2種のポリイミド膜は、前記第1種のポリイミド膜の表面層部分に配置された請求項3記載の多層基板である。請求項5記載の発明は、前記樹脂層を3層以上有する請求項3記載の多層基板であって、前記第1種のポリイミド膜は少なくとも2層以上配置され、前記第2種のポリイミド膜は、前記第1種のポリイミド膜の中間に配置された請求項3記載の多層基板である。請求項6記載の発明は、少なくとも片面には、導電性の突起が表面に露出する状態で複数個設けられた請求項1乃至請求項5のいずれか1項記載の多層基板である。請求項

7記載の発明は、少なくとも片面には、前記金属層が表面に露出された請求項1乃至請求項6のいずれか1項記載の多層基板である。請求項8記載の発明は、請求項1乃至請求項7のいずれか1項記載の多層基板と、半導体素子とを有し、前記導電層の少なくとも1層に前記半導体素子が電氣的に接続されている半導体装置である。請求項9記載の発明は、請求項8記載の半導体装置であって、前記多層基板の前記半導体素子が配置された面とは反対側の面には、導電性の突起が表面に露出する状態で複数個配置された半導体装置である。

【0012】本発明の多層基板は上記のように構成されており、半導体素子の熱膨張係数 $2.6 \text{ ppm}/^{\circ}\text{C}$ に近いので、半導体素子と多層基板との間の接続部分に加わる熱応力が小さく、熱疲労による破壊が生じにくくなっている。

【0013】また、本発明の多層基板の熱膨張係数は、マザーボードの熱膨張係数 $13 \sim 17 \text{ ppm}/^{\circ}\text{C}$ と半導体素子の熱膨張係数 $2.6 \text{ ppm}/^{\circ}\text{C}$ の間の値なので、マザーボードと半導体素子の間に配置するインターポーザーに本発明の多層基板を用いた場合、マザーボードの大きな熱収縮を緩和することができる。

【0014】 $10 \text{ ppm}/^{\circ}\text{C}$ 以上の熱膨張係数の導電層を用い、 $10 \text{ ppm}/^{\circ}\text{C}$ 未満の積層基板を得たい場合に\*

表1 評価結果

膜の種類	位置 (符号)	第1の評価用基板		第2の評価用基板		第3の評価用基板	
		熱膨張係数	厚み	熱膨張係数	厚み	熱膨張係数	厚み
		$\text{ppm}/^{\circ}\text{C}$	$\mu\text{m}$	$\text{ppm}/^{\circ}\text{C}$	$\mu\text{m}$	$\text{ppm}/^{\circ}\text{C}$	$\mu\text{m}$
ポリイミド膜	A <sub>1</sub>	3	20	15	20	4	20
	A <sub>2</sub>	3	20	3	20	4	20
	A <sub>3</sub>	3	20	3	20	18	20
	A <sub>4</sub>	3	20	3	20	4	20
	A <sub>5</sub>	3	20	15	20	4	20
銅膜	B <sub>1</sub>	21	12	21	12	21	12
	B <sub>2</sub>	21	12	21	12	21	12
	B <sub>3</sub>	21	12	21	12	21	12
	B <sub>4</sub>	21	12	21	12	21	12
	B <sub>5</sub>	21	12	21	12	21	12
	B <sub>6</sub>	21	12	21	12	21	12
全体		6	172	7	172	7	172

【0019】第1の評価用基板は、5層全てのポリイミド膜(樹脂層)A<sub>1</sub>～A<sub>5</sub>に、膜拡がり方向の熱膨張係数が $5 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは全て $3 \text{ ppm}/^{\circ}\text{C}$ である。)のものをを用いた。

【0020】第2の評価用基板は、多層基板9の厚み方向中央部分の3層のポリイミド膜A<sub>2</sub>～A<sub>4</sub>に熱膨張係数が $2 \text{ ppm}/^{\circ}\text{C}$ 以上 $5 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは3層全て $3 \text{ ppm}/^{\circ}\text{C}$ である。)のものをを用い、且つ、表面層部分のポリイミド膜A<sub>1</sub>、A<sub>5</sub>に、熱膨張係数が $5 \text{ ppm}$

\*は、その導電層と $10 \text{ ppm}/^{\circ}\text{C}$ 未満の樹脂層とを積層させるとよい。

【0015】また、所望の熱膨張係数の多層基板を得たい場合、導電層や樹脂層自体の熱膨張率を制御することは困難であるから、異なる熱膨張係数の樹脂層を用い、導電層と積層させるとよい。異なる熱膨張係数の樹脂層を積層させる場合、 $10 \text{ ppm}/^{\circ}\text{C}$ を超える樹脂層と $10 \text{ ppm}/^{\circ}\text{C}$ 未満の樹脂層とを組み合わせることができ

10 【0016】

【発明の実施の形態】図7の符号9は、本発明の一実施形態の多層基板を示している。この多層基板9は、5層の樹脂層A<sub>1</sub>～A<sub>5</sub>と、6層の導電層B<sub>1</sub>～B<sub>6</sub>とがその順序で交互に積層されて構成されている。

【0017】導電層B<sub>1</sub>～B<sub>6</sub>には、膜厚 $12 \mu\text{m}$ 、熱膨張係数 $21 \text{ ppm}/^{\circ}\text{C}$ の銅膜を用い、樹脂層A<sub>1</sub>～A<sub>5</sub>には、ポリイミド膜を用いた。ポリイミド膜の熱膨張係数と膜厚の組み合わせを変え、第1～第3の評価用積層基板を作製し、熱膨張係数を測定した。測定結果を下記表1に示す。

【0018】

【表1】

$^{\circ}\text{C}$ を超え $30 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは $15 \text{ ppm}/^{\circ}\text{C}$ である。)のポリイミド膜を用いた。

【0021】第3の評価用基板は、第2の評価用基板とは逆に、多層基板9の厚み方向中央部分の1層のポリイミド膜A<sub>3</sub>だけ、熱膨張係数が $5 \text{ ppm}/^{\circ}\text{C}$ を超え $30 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは $18 \text{ ppm}/^{\circ}\text{C}$ である。)のものをを用い、且つ、表面部分のポリイミド膜A<sub>1</sub>、A<sub>2</sub>、A<sub>4</sub>、A<sub>5</sub>に、熱膨張係数が $2 \text{ ppm}/^{\circ}\text{C}$ 以上 $5 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは4層全て $4 \text{ ppm}/^{\circ}\text{C}$ である。)のものを

用いた。上記表 1 から分かるように、第 1 ～ 第 3 の評価用基板では、全体の熱膨張係数が  $10 \text{ ppm}/^\circ\text{C}$  未満になっている。

【0022】なお、熱膨張係数が  $3 \text{ ppm}/^\circ\text{C}$  のポリイミド膜は、無水ピロメリット酸、又は 3, 4, 3', 4' ビフェニルテトラカルボン酸二無水物等の酸と、パラジアミノビフェニル、3, 3 ジメチル 4, 4 ジアミノビフェニル、2 メチルパラジアミノベンゼン等のアミンを反応させて得ることができる。

【0023】熱膨張係数が  $15 \text{ ppm}/^\circ\text{C}$  のポリイミド膜を形成するためには、酸には、無水ピロメリット酸や 3, 4, 3', 4' ビフェニルテトラカルボン酸二無水物等を用いることができる。また、アミンには、3, 3' ジメトキシ 4, 4' ジアミノビフェニル、4, 4' ジアミノビフェニルエーテル、ジアミノピリジン、4, 4' ジアミノベンゼンアニリド等を用いることができる。

【0024】

【実施例】次に、本発明の多層基板を用い、半導体素子を搭載する場合について説明する。図 1 を参照し、符号 1 は、本発明の第 1 例の多層基板を示している。この多層基板 1 は、樹脂層 11 ～ 16 と、導電層 21 ～ 26 とを 6 層ずつ有している。

【0025】導電層 21 ～ 26 は、膜厚  $12 \mu\text{m}$  の銅膜によって構成されており、樹脂層 11 ～ 16 は、ポリイミド膜によって構成されている。導電層 21 ～ 26 と樹脂層 11 ～ 16 は、1 層ずつ交互に配置され、導電層 21 ～ 26 同士が接触しないように積層されている。

【0026】導電層 21 ～ 26 間に位置する樹脂層 12 ～ 16 の所定位置には孔が形成されている。各孔内にはメッキ法等によって導電性物質(ここでは銅)が充填されており、充填物によってプラグ 30 が形成されている。

【0027】導電層 21 ～ 26 は所定形状にパターンニングされ、各導電層 21 ～ 26 の膜拡がり方向に延びる配線が形成されている。各層の配線間は、プラグ 30 によって電氣的に接続されている。

【0028】この多層基板 1 には、表面に露出された導電層 26 によって、ボンディングランドが設けられており、半導体素子等に設けられた突起物はこのボンディングランドに接続できるようになっている。

【0029】裏面側では、最下層の導電層 21 上に、導電性の突起(ここでは銅パンプである。)31 が設けられている。裏面側の導電層 21 は、樹脂層 11 によって覆われており、導電性の突起 31 先端だけが、樹脂層 11 から突き出されている。

【0030】図 2(a)の符号 1 は、上記第 1 例の多層基板であり、多層基板 1 の導電性の突起 31 をマザーボード 42 表面の配線パターンに向け、また、半導体素子 110 の突起 112 を多層基板 1 の導電層 26 に向け、接続すると、同図(b)に示す本発明の半導体装置 51 が得られる。この半導体装置 51 では、半導体素子 110 内

の電子回路は、多層基板 1 内の導電層 21 ～ 26 とプラグ 30 とを介して、マザーボード 42 に設けられた配線パターンに接続されている。

【0031】この積層構造の多層基板 1 (及び後述する第 2 例以降の多層基板 2 ～ 5)は全体の拡がり方向の熱膨張係数が  $10 \text{ ppm}/^\circ\text{C}$  未満であって、半導体素子 110 の突起 112 や多層基板 1 の導電性の突起 31 には熱疲労による破壊は生じない。

【0032】

【実施例】図 3 の符号 2 は、本発明の第 2 例の多層基板であり、第 1 例の多層基板 1 と同様の構成になっている。

【0033】ここでは、第 2 例の多層基板 2 は、図 2(a)、(b)のマザーボード 42 の代わりに用いられており、突起を有さないインターポーザー 125 を用い、多層基板 2 表面に形成された導電性の突起 32 と、半導体素子 110 の突起 112 とを接続すると、本発明の半導体装置 52 が作製される。

【0034】その半導体装置 52 でも、インターポーザー 125 に単層基板のものを用いれば、単層基板の熱膨張係数は金属膜(銅膜)の熱膨張係数に近いので、第 1 例の多層基板 1 と同様に、半導体素子 110 の突起の破壊は生じない。

【0035】

【実施例】図 4(a)、(b)の符号 2 は、図 3(a)、(b)で示したものと同一本発明の第 2 例の多層基板であり、符号 3 は、表面と裏面にボンディングランドが設けられた本発明の第 3 例の多層基板である。

【0036】この第 3 例の多層基板 3 をインターポーザーに用い、図 4(a)に示すように半導体素子 110 と多層基板 2 の間に配置し、半導体素子の突起 112 と、第 2 例の多層基板 3 の突起 32 を第 3 例の多層基板 3 のボンディングランドに取り付けると、本発明の半導体装置 53 が作製される。

【0037】

【実施例】図 5(a)、(b)の符号 4 は、本発明の第 4 の実施例の多層基板を示している。この多層基板 4 は、突起を有しておらず、その表面に設けられたボンディングランドに直接半導体素子 110 の突起 112 を接続すると、本発明の半導体装置 54 が作製される。

【0038】

【実施例】図 6(a)、(b)の符号 5 は、本発明の第 5 の実施例の多層基板を示している。この多層基板 5 は、狭ピッチの突起 33 が表面に露出するように形成されており、突起を有さない半導体素子 115 のボンディングランドを狭ピッチの突起 33 先端に当接させて接続すると、本発明の半導体装置 55 が得られる。

【0039】以上説明したように、本発明の多層基板は、マザーボードにもインターポーザーにも用いることができる。また、本発明の多層基板には、突起が形成さ

9

れているものと、突起が形成されていないものの両方が含まれる。表面に銅膜等の導電層が露出しているも、ポリイミド膜等の樹脂層で保護されていてもよい。

【0040】本発明の多層基板及び半導体装置に用いられる導電層は銅膜に限定されるものではなく、樹脂層はポリイミド膜に限定されるものでもない。また、各層の導電層は、銅、アルミニウム、金、銀等でメッキされたものや、それら異なる導電体が積層されたものであってもよい。また、各樹脂層は、異なる熱膨張係数を持つ樹脂層が積層されたものであってもよく、ポリイミド膜以外の樹脂層や、その樹脂層やポリイミド膜が積層されたものであってもよい。

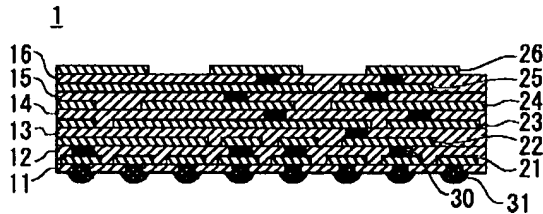
【0041】

【発明の効果】半導体素子の熱膨張係数に近いので、熱疲労による接続部分の破壊が生じない。

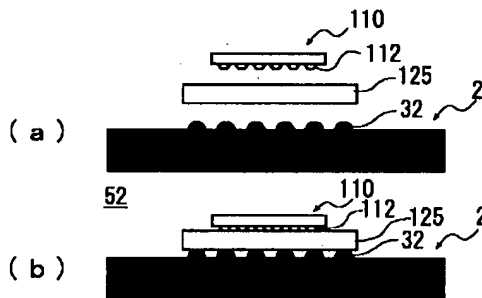
【図面の簡単な説明】

【図1】本発明の第1例の多層基板の断面図

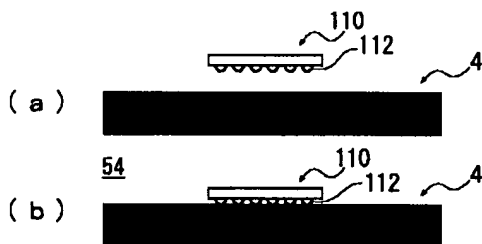
【図1】



【図3】



【図5】



10

\* 【図2】(a)、(b)：本発明の第1の実施例の多層基板及び半導体装置を説明するための図

【図3】(a)、(b)：本発明の第2の実施例の多層基板及び半導体装置を説明するための図

【図4】(a)、(b)：本発明の第3の実施例の多層基板及び半導体装置を説明するための図

【図5】(a)、(b)：本発明の第4の実施例の多層基板及び半導体装置を説明するための図

【図6】(a)、(b)：本発明の第5の実施例の多層基板及び半導体装置を説明するための図

【図7】測定に用いた本発明の多層基板の断面図

【図8】従来技術のインターポザーを説明するための図

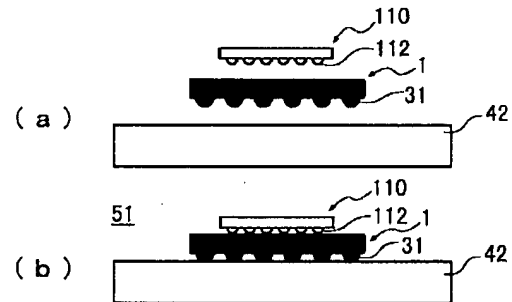
【符号の説明】

1～5、9……多層基板

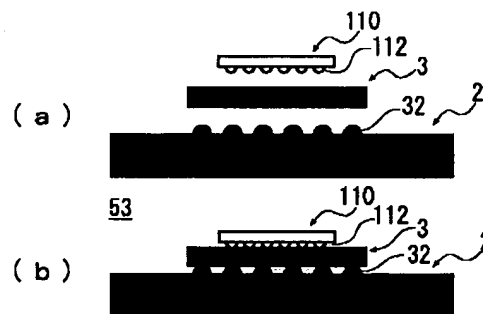
11～15、A<sub>1</sub>～A<sub>5</sub>……樹脂層(ポリイミド膜)

21～26、B<sub>1</sub>～B<sub>6</sub>……導電層(銅膜)

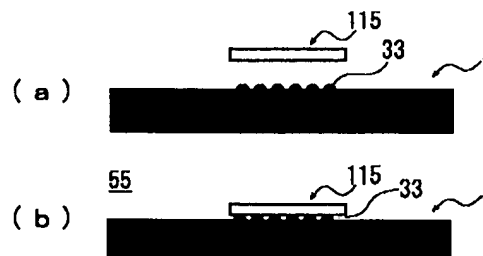
【図2】



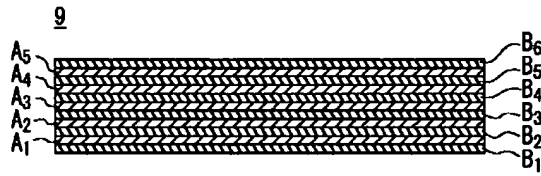
【図4】



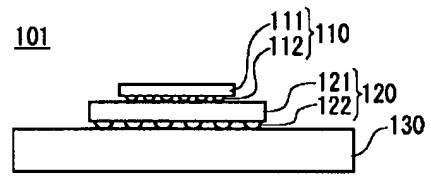
【図6】



【図 7】



【図 8】



フロントページの続き

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H05K 3/46

H01L 23/12

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

(57) [Claim(s)]

[Claim 1] The multilayer substrate with which it is the multilayer substrate with which two or more layer laminating of a resin layer and the conductive layer was carried out by turns, and they were constituted, and the coefficient of thermal expansion of the direction of a substrate flare in the condition that the less than 10 ppm [/degree C ] polyimide film was used, and the laminating of the coefficient of thermal expansion of the direction of a film flare was carried out to said each resin layer was carried out [ degree C ] in 3 ppm/degree C or more less than 10 ppm /.

[Claim 2] The multilayer substrate according to claim 1 with which the metal membrane 10 ppm [/degree C ] or more was used for said each conductive layer for the coefficient of thermal expansion of the direction of a film flare.

[Claim 3] It is the multilayer substrate with which two or more layer laminating of a resin layer and the conductive layer was carried out by turns, and they were constituted. In said each resin layer The coefficient of thermal expansion of the direction of a film flare at least The polyimide film of the 1st sort of the range of 2 ppm/degree C or more 5 ppm/degree C or less, The multilayer substrate with which the coefficient of thermal expansion of the direction of a film flare exceeded degree C in 5 ppm /, the polyimide film of the 2nd sort of the range of 30 ppm/degree C or less was used, and the metal membrane 10 ppm [/degree C ] or more was used for said each conductive layer for the coefficient of thermal expansion of the direction of a flare.

[Claim 4] It is the multilayer substrate according to claim 3 with which it is the multilayer substrate according to claim 3 which has three or more layers of said resin layers, said polyimide film of the 1st sort has been arranged at the thickness direction central part of said multilayer substrate, and said polyimide film of the 2nd sort has been arranged at the surface layer part of said polyimide film of the 1st sort.

[Claim 5] It is the multilayer substrate according to claim 3 with which it is the multilayer substrate according to claim 3 which has three or more layers of said resin layers, said polyimide film of the 1st sort has been arranged more than two-layer at least, and said polyimide film of the 2nd sort has been arranged in the middle of said polyimide film of the 1st sort.

[Claim 6] The multilayer substrate of claim 1 prepared at least in one side in the condition that a conductive projection is exposed to a front face thru/or claim 5 given in any 1 term. [ two or more ]

[Claim 7] The multilayer substrate of claim 1 by which said metal layer was exposed at least to one side on the front face thru/or claim 6 given in any 1 term.

[Claim 8] The semiconductor device which has the multilayer substrate of claim 1 thru/or claim 7 given in any 1 term, and a semiconductor device and by which said semiconductor device is electrically connected to at least one layer of said conductive layer.

[Claim 9] The semiconductor device which is a semiconductor device according to claim 8, and have been arranged in the condition that a conductive projection is exposed to a front face in the field of the opposite side, with the field where said semiconductor device of said multilayer substrate has

been arranged.

---

[Translation done.]



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

TECHNICAL FIELD

---

[Field of the Invention] Especially this invention relates to the multilayer substrate suitable for the semiconductor device of high density wiring about a multilayer substrate.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

PRIOR ART

---

[Description of the Prior Art] In recent years, densification of the connection terminal with the exterior where the pattern of a semiconductor device made it detailed and was prepared in the semi-conductor is carried out steadily.

[0003] The semiconductor device is shown, detailed components, such as a transistor, are formed in the component body 111, and the sign 110 of drawing 8 is \*\*\*\*\*. In this component body 111, the electronic circuitry is formed of the detailed component and the projection 112 of the solder for connecting an electronic circuitry to component body 111 front face outside is formed.

[0004] The sign 130 shows the mother board by which it has copper wiring and the bonding land was prepared in the front face. the copper wiring pitch of a mother board 130 -- comparing -- the projection 112 of a semiconductor device 110 -- \*\* -- since a pitch, it cannot carry directly on a mother board 130.

[0005] Then, the resin film 121 with which the circuit pattern detailed for it being with the conventional technique in order to connect a semiconductor device 110 and a mother board 130 electrically was formed, INTAPOZA 120 is constituted from projection 122 of the non-dense pitch prepared in this resin film 121. \*\* -- the projection 112 of the pitch semiconductor device 110 was connected to the detailed circuit pattern of INTAPOZA 120, the pitch was changed in the INTAPOZA 120 interior and the projection 122 of INTAPOZA 120 is connected to the bonding pad on a mother board 130.

[0006] In recent years, since the number of the projections 112 of a semiconductor device 110 increased, above INTAPOZA 120 has multilayer structure and the laminating of two or more conductive layers and resin layers is carried out.

[0007] However, when a semiconductor device 110 was carried on INTAPOZA 120 of multilayer structure, the problem that the projection 112 of a semiconductor device 110 broke arose.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

EFFECT OF THE INVENTION

---

[Effect of the Invention] Since it is close to the coefficient of thermal expansion of a semiconductor device, destruction of the connection part by thermal fatigue does not arise.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## TECHNICAL PROBLEM

---

[Problem(s) to be Solved by the Invention] When the artificer of this invention etc. investigated the property of a semiconductor device 110 and INTAPOZA 120, the coefficient of thermal expansion of INTAPOZA 120 of the multilayer structure of the conventional technique was 30 ppm/degree C to the coefficient of thermal expansion (coefficient of linear expansion) of a semiconductor device 110 being 2.6 ppm/degree C.

[0009] Since the values of the coefficient of thermal expansion of a semiconductor device 110 and INTAPOZA differed when a semiconductor device 110 is carried in a mother board 130 through INTAPOZA of the above high temperature expansion coefficients, it turned out that big stress arises in a connection part, and the projection 112 of a semiconductor device 110 carries out thermal fatigue, and is finally destroyed.

[0010] It is created in order that this invention may solve un-arranging [ of the above-mentioned conventional technique ], and the purpose is in offering the multilayer substrate which can constitute INTAPOZA which the destruction in a connection does not produce, and a substrate.

[0011] In order to solve the above-mentioned technical problem, invention according to claim 1 is the multilayer substrate which two or more layer laminating of a resin layer and the conductive layer was carried out by turns, and was constituted, and the coefficient of thermal expansion of the direction of a substrate flare in the condition that the less than 10 ppm [/degree C ] polyimide film was used, and the laminating of the coefficient of thermal expansion of the direction of a film flare was carried out to said each resin layer is the multilayer substrate carried out [ degree C ] in 3 ppm/degree C or more less than 10 ppm /. Invention according to claim 2 is the multilayer substrate according to claim 1 with which the metal membrane 10 ppm [/degree C ] or more was used for said each conductive layer for the coefficient of thermal expansion of the direction of a film flare.

Invention according to claim 3 is the multilayer substrate which two or more layer laminating of a resin layer and the conductive layer was carried out by turns, and was constituted. In said each resin layer The coefficient of thermal expansion of the direction of a film flare at least The polyimide film of the 1st sort of the range of 2 ppm/degree C or more 5 ppm/degree C or less, It is the multilayer substrate with which the metal membrane 10 ppm [/degree C ] or more was used for said each conductive layer for the coefficient of thermal expansion of the direction of a flare by the coefficient of thermal expansion of the direction of a film flare exceeding degree C in 5 ppm /, and using the polyimide film of the 2nd sort of the range of 30 ppm/degree C or less. Invention according to claim 4 is a multilayer substrate according to claim 3 which has three or more layers of said resin layers, said polyimide film of the 1st sort is arranged at the thickness direction central part of said multilayer substrate, and said polyimide film of the 2nd sort is a multilayer substrate according to claim 3 arranged at the surface layer part of said polyimide film of the 1st sort.

Invention according to claim 5 is a multilayer substrate according to claim 3 which has three or more layers of said resin layers, said polyimide film of the 1st sort is arranged more than two-layer at least, and said polyimide film of the 2nd sort is a multilayer substrate according to claim 3

arranged in the middle of said polyimide film of the 1st sort. Invention according to claim 6 is the multilayer substrate of claim 1 prepared at least in one side in the condition that a conductive projection is exposed to a front face thru/or claim 5 given in any 1 term. [ two or more ] Invention according to claim 7 is the multilayer substrate of claim 1 by which said metal layer was exposed at least to one side on the front face thru/or claim 6 given in any 1 term. Invention according to claim 8 is a semiconductor device which has the multilayer substrate of claim 1 thru/or claim 7 given in any 1 term, and a semiconductor device and by which said semiconductor device is electrically connected to at least one layer of said conductive layer. Invention according to claim 9 is a semiconductor device according to claim 8, and the field where said semiconductor device of said multilayer substrate has been arranged is a semiconductor device arranged in the condition that a conductive projection is exposed to a front face in the field of the opposite side. [ two or more ]

[0012] The multilayer substrate of this invention is constituted as mentioned above, the thermal stress which joins the connection part between a semiconductor device and a multilayer substrate since it is close to the coefficient of thermal expansion of 2.6 ppm/degree C of a semiconductor device is small, and it has been hard coming to generate destruction by thermal fatigue.

[0013] Moreover, since the coefficient of thermal expansion of the multilayer substrate of this invention is the value of a between with a coefficient of thermal expansion [ of a mother board / of 13-17 ppm/degree C ], and a coefficient of thermal expansion [ of a semiconductor device ] of 2.6 ppm [/degree C ], when the multilayer substrate of this invention is used for INTAPOZA arranged between a mother board and a semiconductor device, it can ease a heat shrink with a big mother board.

[0014] It is good to obtain a less than 10 ppm [/degree C ] laminated circuit board using a conductive layer with a coefficient of thermal expansion of 10 ppm [/degree C ] or more to carry out the laminating of the conductive layer and the less than 10 ppm [/degree C ] resin layer.

[0015] Moreover, since it is difficult, it is [ to carry out a laminating to a conductive layer using the resin layer of a different coefficient of thermal expansion ] good to obtain the multilayer substrate of a desired coefficient of thermal expansion to control the coefficient of thermal expansion of a conductive layer or the resin layer itself. When carrying out the laminating of the resin layer of a different coefficient of thermal expansion, the resin layer and less than 10 ppm [/degree C ] resin layer which exceed degree C in 10 ppm /can be combined.

[0016]

[Embodiment of the Invention] The sign 9 of drawing 7 shows the multilayer substrate of 1 operation gestalt of this invention. The laminating of the five-layer resin layer A1 - A5, and the conductive layer B1 of six layers - B6 is carried out by turns in that sequence, and this multilayer substrate 9 is constituted.

[0017] The polyimide film was used for the resin layer A1 - A5 at a conductive layer B1 - B6 using 12 micrometers of thickness, and a copper film with a coefficient of thermal expansion of 21 ppm [/degree C ]. the coefficient of thermal expansion of the polyimide film, and the combination of thickness -- changing -- the 1- the 3rd laminated circuit board for evaluation was produced, and the coefficient of thermal expansion was measured. A measurement result is shown in the following table 1.

[0018]

[Table 1]

表 1 評価結果

膜の種類	位置 (符号)	第1の評価用基板		第2の評価用基板		第3の評価用基板	
		熱膨張係数	厚み	熱膨張係数	厚み	熱膨張係数	厚み
		ppm/°C	μm	ppm/°C	μm	ppm/°C	μm
ポリイミド膜	A <sub>1</sub>	3	20	15	20	4	20
	A <sub>2</sub>	3	20	3	20	4	20
	A <sub>3</sub>	3	20	3	20	18	20
	A <sub>4</sub>	3	20	3	20	4	20
	A <sub>5</sub>	3	20	15	20	4	20
銅膜	B <sub>1</sub>	21	12	21	12	21	12
	B <sub>2</sub>	21	12	21	12	21	12
	B <sub>3</sub>	21	12	21	12	21	12
	B <sub>4</sub>	21	12	21	12	21	12
	B <sub>5</sub>	21	12	21	12	21	12
	B <sub>6</sub>	21	12	21	12	21	12
全体		6	172	7	172	7	172

[0019] As for the 1st substrate for evaluation, the coefficient of thermal expansion of the direction of a film flare used the thing 5 ppm [/degree C ] or less (here, it is 3 ppm/degree C altogether.) for the polyimide film (resin layer) A1 of all five layers – A5.

[0020] As for the 2nd substrate for evaluation, a coefficient of thermal expansion uses a thing 2 ppm/degree C or more 5 ppm [/degree C ] or less (here, three layers are 3 ppm/degree C altogether.) for the polyimide film A2 of three layers of the thickness direction central part of the multilayer substrate 9 – A4. And a coefficient of thermal expansion exceeds degree C in 5 ppm /for the polyimide film A1 of a surface layer part, and A5, and it is 30 ppm/degree C or less (here, it is 15 ppm/degree C.). The polyimide film was used.

[0021] Contrary to the 2nd substrate for evaluation, the 3rd substrate for evaluation only polyimide film A3 of one layer of the thickness direction central part of the multilayer substrate 9 A coefficient of thermal expansion exceeds degree C in 5 ppm /, and it is 30 ppm/degree C or less (here, it is 18 ppm/degree C.). A thing is used and a coefficient of thermal expansion is 2 ppm/degree C or more 5 ppm/degree C or less (here, four layers are 4 ppm/degree C altogether.) to the polyimide film A1 and A2 of a surface part, A4, and A5. The thing was used. the above-mentioned table 1 shows -- as -- the 1- in the 3rd substrate for evaluation, the whole coefficient of thermal expansion has become [ degree C ] in less than 10 ppm /.

[0022] In addition, the polyimide film whose coefficient of thermal expansion is 3 ppm/degree C can make amines, such as pyromellitic dianhydride or 3 and 4, 3', acids, such as 4' biphenyl tetracarboxylic dianhydride, and a PARAJI amino biphenyl, 3, and 3 dimethyl 4, 4 diamino biphenyl, and 2 methyl PARAJI aminobenzene, able to react, and can be obtained.

[0023] In order for a coefficient of thermal expansion to form the polyimide film which is 15 ppm/degree C, pyromellitic dianhydride, 3, 4, 3', 4' biphenyl tetracarboxylic dianhydride, etc. can be used for an acid. Moreover, diamino biphenyl ether, diamino pyridine, and 3, 3 'dimethoxy 4 and 4' diamino biphenyl, 4, and 4 '4, 4' diaminobenzene anilide etc. can be used for an amine.

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

EXAMPLE

---

[Example] Next, the case where a semiconductor device is carried is explained using the multilayer substrate of this invention. With reference to drawing 1, the sign 1 shows the multilayer substrate of the 1st example of this invention. This multilayer substrate 1 has the resin layers 11-16 and six layers of conductive layers 21-26 at a time.

[0025] Conductive layers 21-26 are constituted by the copper film of 12 micrometers of thickness, and the resin layers 11-16 are constituted by the polyimide film. Conductive layers 21-26 and one layer of resin layers 11-16 are arranged by turns [ each ], and the laminating is carried out so that 21 to conductive layer 26 comrades may not contact.

[0026] The hole is formed in the predetermined location of the resin layers 12-16 located between conductive layers 21-26. each hole -- inside, it fills up with the conductive matter (here copper) with plating etc., and the plug 30 is formed with packing.

[0027] Patterning of the conductive layers 21-26 is carried out to a predetermined configuration, and wiring prolonged in the direction of a film flare of each conductive layers 21-26 is formed. Between wiring of each class, the plug 30 connects electrically.

[0028] The projection which the bonding land is prepared by the conductive layer 26 exposed to the front face at this multilayer substrate 1, and was prepared in the semiconductor device etc. can be connected now to this bonding land.

[0029] In the rear-face side, the conductive projection (here, he is a copper bump.) 31 is formed on the conductive layer 21 of the lowest layer. The conductive layer 21 by the side of a rear face is covered with the resin layer 11, and only projection 31 conductive tip is projected from the resin layer 11.

[0030] If the sign 1 of drawing 2 (a) is the multilayer substrate of the 1st above-mentioned example, and turns the conductive projection 31 of the multilayer substrate 1 to the circuit pattern of mother board 42 front face, and turns the projection 112 of a semiconductor device 110 to the conductive layer 26 of the multilayer substrate 1 and it connects, the semiconductor device 51 of this invention shown in this drawing (b) will be obtained. In this semiconductor device 51, the electronic circuitry in a semiconductor device 110 is connected to the circuit pattern prepared in the mother board 42 through the conductive layers 21-26 and plug 30 in the multilayer substrate 1.

[0031] The coefficient of thermal expansion of the whole direction of a flare is less than 10 ppm/degree C, and the multilayer substrate 1 (and multilayer substrates 2-5 after the 2nd example mentioned later) of this laminated structure produces the destruction by thermal fatigue neither in the projection 112 of a semiconductor device 110, nor the conductive projection 31 of the multilayer substrate 1.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the multilayer substrate of the 1st example of this invention

[Drawing 2] (a), (b): Drawing for explaining the 1st multilayer substrate and semiconductor device of an example of this invention

[Drawing 3] (a), (b): Drawing for explaining the 2nd multilayer substrate and semiconductor device of an example of this invention

[Drawing 4] (a), (b): Drawing for explaining the 3rd multilayer substrate and semiconductor device of an example of this invention

[Drawing 5] (a), (b): Drawing for explaining the 4th multilayer substrate and semiconductor device of an example of this invention

[Drawing 6] (a), (b): Drawing for explaining the 5th multilayer substrate and semiconductor device of an example of this invention

[Drawing 7] The sectional view of the multilayer substrate of this invention used for measurement

[Drawing 8] Drawing for explaining INTAPOZA of the conventional technique

[Description of Notations]

1- 5 and 9 .... a multilayer substrate

11-15, A1 - A5 .... Resin layer (polyimide film)

21-26, B1 - B6 .... Conductive layer (copper film)

---

[Translation done.]



## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

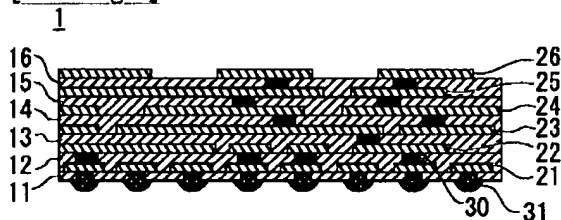
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

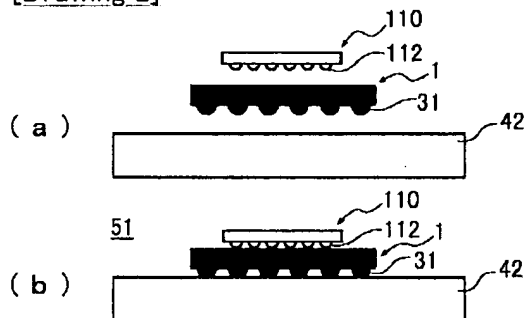
3.In the drawings, any words are not translated.

## DRAWINGS

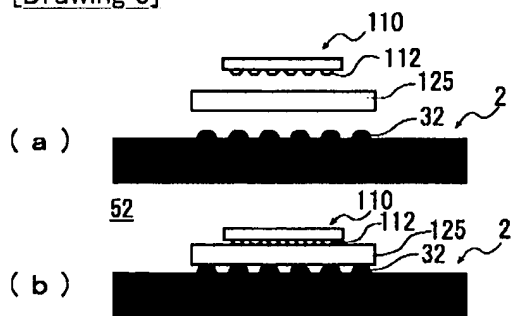
[Drawing 1]



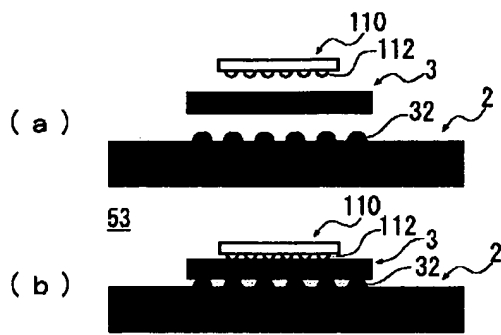
[Drawing 2]



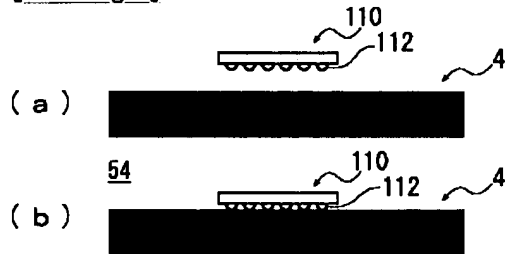
[Drawing 3]



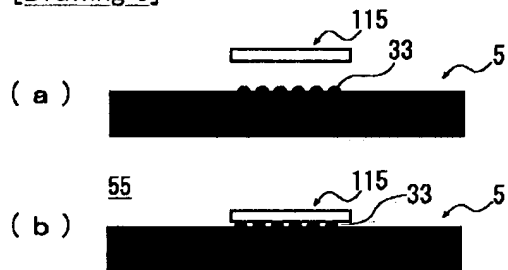
[Drawing 4]



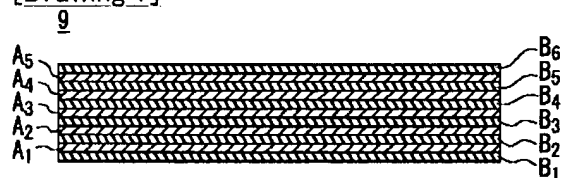
[Drawing 5]



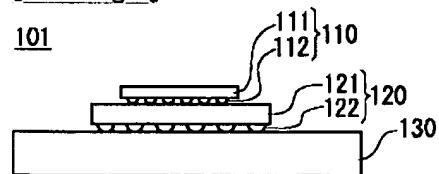
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**